

KOREAN PATENT ABSTRACTS

(11)Publication

1020020046778 A

number:

(43)Date of publication of application:

21.06.2002

(21)Application number: 1020000077109

(22)Date of filing:

15.12.2000

(71)Applicant:

HYNIX SEMICONDUCTOR

INC.

HWANG, CHANG YEON

(72)Inventor:

KIM, SANG IK

(51)Int. CI

H01L 21/28

(54) METHOD FOR FORMING CONTACT HOLE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A contact hole formation method of semiconductor devices is provided to prevent a short between word line and a plug by reducing loss of hard mask using multi-layer hard masks.

CONSTITUTION: After forming a metal film on a semiconductor substrate(21), a first nitride layer(23), an etch barrier(24) and a second nitride layer(25) as multi-layer hard masks are sequentially formed on the metal film. Word lines(22) are formed by sequentially etching the nitride layer, the etch barrier,

the first nitride layer and the metal film. An insulating spacer(26) is formed at both sidewalls of the word lines. After forming an ILD(Inter Layer Dielectric)(27) on the resultant structure, a contact hole(29) is formed to expose the surface of the substrate by selectively etching the ILD.

© KIPO 2003

Legal Status

【한국공개특허공보2002-0046778(2002.6.21공개) : 인용예2】

粤2002-0046778

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.	(11) 岩개인草 목2002-0046778
HOIL 21/28	(43) 공개일자 2002년 05월 21일
(21) 發起世章	10-2000-0077109
(22) 월원일자	2000년12월16일
(71) 출원인	주식회사 하더닉스반도체 박종섭
(72) 발명자	경기 미천시 부발을 마미리 산136-1 감상의
• .	경기도성남시부당구구마동??까치마율대원아파트101-903
	황왕면
(74) 대리인	경기도이찬서사음종564-7 강용복, 김용민

以及哲子: 就带

(54) 반도체 소자의 콘택홈 형성방법

없양

은 발명은 워드 라인에 형성된 하드 마스코층을 멀티(multi) 구조로 형성하여 하드 마스크총의 손실을 줄 이어 워드 라인과 플러그간에 숏토가 발생하는 것을 방지하도록 한 반도체 소자의 콘백화 형성방법에 판 한 것으로서, 반도체 기판상에 급속막 및 제 1 집화약을 처례로 형성하는 단계와, 삼기 제 1 집화약상에 식각 방지막 및 제 2 집화약을 처례로 형성하는 단계와, 삼기 제 2 집화약, 식각 방지막, 제 1 집화약, 여러가 방지막 및 제 2 집화약을 처리로 형성하는 단계와, 삼기 제 2 집화약, 식각 방지막, 제 1 집화약, 금속약을 선택적으로 제거하여 위도 라인을 형성하는 단계와, 삼기 워드 라인의 양속면에 접연락 축택을 형성하는 단계와, 삼기 반도체 기판의 전면에 ILP의을 형성하는 단계와, 삼기 워드 라인 사이의 반도체 기판 표면이 노출되도록 삼기 ILP과을 선택적으로 제거하여 본택골을 험성하는 단계를 포함하여 형성함을 특징으로 한다.

aas.

3.20

खलाग

콘택홈, 셀프 얼라인, ILD막, 식각 방지막

BAA

医胆剂 强品基 有品

도 16 내지 도 16는 총래의 반도체 소자의 콘택홈 형성방법을 나타낸 공정단면도

또 26 내지 도 20는 본 발명에 의한 반도체 소자의 콘택홈 청성방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 금속막

23 : 제 1 질화막

24 : 쫄리 싫리뽄막

25 : 제 2 질화막

26 : 젊연막 축백

27 : 110막

28 : 감광막

29 : 콘택홀

\$84 648 NE

医髓的 蛤蟆

雄型似 华奇尼 刀槍 望 二 经修业 香香刀盒

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 워드 라인(word line)의 숏트(Short)를 방지하는 데 적당한 반도체 소자의 은백화 혁성방법에 관한 것이다.

일반적으로 반도체 장치의 고집적화에 따라 패턴의 선폭 및 패턴간의 거리가 좋아지고 있어 설프 열리인

목 2002-0046778

콘택(Self Align Contact : SAC)에 의한 콘택홀 형성시 공청 마진(margin)이 줄더불고 있다.

이하, 첨부된 도면을 참고하여 용래의 반도체 소자의 콘택홀 형성방법을 설명하면 다음과 많다.

도 1a 내지 도 1c는 증레의 반도체 소자의 콘택홀 형성방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와 같이, 반도체 거판(II)상에 워드 라인용 금속막을 중착하고, 상기 금속막상에 하드 마스크(hard mask)용 질화막(13)총 형성한다.

여기서 상기 워드 라인용 급속막은 즐리 실리콘막과 청스텐(#)막이 적충되어 청성된다.

이어, 포토 및 식각공정을 통해 삼기 집화막(13)을 선택적으로 제거하고, 계속해서 상기 군속막을 선택적으로 제거하고, 계속해서 상기 군속막을 선택적으로 제거하다 일정한 간격을 갖는 복수개의 워드 라인(12)을 형성한다.

도 1b에 도시한 바와 많이, 상기 워드 라인(12)을 포함한 반도체 기판(11)의 전면에 접연막을 형성하고, 상기 접연막의 진면에 에치벡(etch back) 공정을 싱셔하며 상기 워드 라민(12)을 양속면에 절연막 속벡(14)을 형성한다.

OH어, 상기 절면막 축벽(14) 및 워드 라민(12)을 포함한 반도체 기관(11)상에 ILD(Inter Layer Dialactric)막(15)을 형성한다.

또 1c에 도시한 비와 같이, 삼기 ILD막(15)상에 강광막(16)을 도포한 후, 노광 및 현상공정으로 강광막(16)을 패터님하다 흔력 영역을 정의한다.

이어, 상기 패터님된 김광막(16)을 마스크로 이용하여 상기 워드 라인(12) 사이의 반도체 기판(11)의 표면이 노출되도록 셈프 얼라인 콘택 예정을 통해 상기 ILD막(15)을 선택적으로 제거하여 콘택용(17)을 형성한다.

여기서 상기 셀프 얼라인 콘택 에칭 공정시 상기 질화막(13)과 ILD막(15)과의 충분한 선택비 확보가 더러 및 워드 라인(12)상에 협성된 집화막(13)의 손십(Iosa)에 발생하려 상기 워드 라인(12)의 표면에 노출된 다

미호 공정은 도시하지 않았지만, 상가 콘택홀(17)을 포함한 반도체 기판(11)의 전면에 쫓리 심리콘막을 중확한 후 에치백미나 CMP(Chamical Mechanical Pollahins) 공장을 통해 삶기 콘택증(17)의 대부에 뚫리 심리콘 뷸러그룹 형성한다.

ME CONTRACTOR OF THE STATE OF T

그러나 상기와 같은 종래의 반도체 소자의 콘택홀 형성방법에 있어서 다음과 같은 문제점을 있었다.

첫째, 샕프 열라인 본액 예칭 공정시 집화막과 ILD막과의 충분한 선택비 확보가 대려워 워드 라인상에 형성된 집회와의 순실(Icse)이 명생합으로서 빨리 살리콘 쫍러그 형성시 워드 라인과 수토로 인하며 소자의 짧량(fall)이 방생한다.

扇째, 워드 라인과 물리 심리콘 즐러그의 숏트를 방지하기 위하여 집화막의 두城을 뚜껍게 할 경우 워드라인 디파인(dailne)에 문제가 밝힌한다.

본 발명은 상기와 같은 증래의 문제점을 해결하기 위해 안출한 것으로 위도 라인에 형성된 하드 마스크총 중 법티(wit) 구조로 형성하여 하드 마스크총의 손실을 중이어 위도 라인과 플러그라에 솟토가 밤생하 존 것을 방지하도록 한 반도체 소자의 콘택을 형성방법을 제공하는데 그 목적이 있다.

#84 78 **# 4**8

삼기와 같은 목적을 달성하기 위한 본 필명에 의한 반도체 소자의 콘택을 형성방법은 반도체 기관상에 급속막 및 제 1 평화막을 차례로 형성하는 단계와, 상기 제 1 평화막성에 석각 방지막 및 제 2 평화막을 차례로 형성하는 단계와, 상기 제 1 평화막성에 석각 방지막 및 제 2 평화막을 차례로 형성하는 단계와, 상기 제 2 평화막, 수각 방자막, 제 1 평화막, 급속막을 선택적으로 제거하며 및 드 라인을 형성하는 단계와, 상기 위도 라인의 양속면에 절면막 측벽을 형성하는 단계와, 상기 반도체 기판의 전면에 LU막을 형성하는 단계와, 상기 위도 라인 사이의 반도체 기판 표면이 노출되도록 상기 LU막을 선택적으로 제거하여 콘택혹을 헌성하는 단계을 포함하여 현성함을 특징으로 한다.

이하, 첨부된 도면을 참고하며 본 방명에 의한 반도체 소자의 온택<mark>홈 형성방법을 상세히 설명하면 다음과</mark> 라다.

도 26 내지 도 20는 본 발명에 의한 반도체 소자의 콘택흡 형성방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 끝이, 반도체 가판(21)상에 워드 라인용 금속막(22)을 펼쳐하고, 상기 금속막(22)상에 하드 마스크(hard mask)용 제 1 집화막(23)을 1000Å ~ 3000Å 두께로 형성한다.

여기서 상기 워드 라인용 금속막(22)은 물리 실리콘막과 텅스턴(49)막이 적충되어 형성된다.

이어, 상기 제 1 질화막(23)상에 식각 방지용 둘리 실리콘막(24)출 50A - 500A 두께로 형성하고, 상기 중리 실리콘막(24)상에 하드 마스크용 제 2 질화막(25)출 100A ~ 1000A 두께로 협성한다. 여기서 상기 중리 실리콘막(24) 대신에 310N, AIA, Ta₂O, 등을 사용함 수 있다.

도 26에 도시한 바와 말이, 포토 및 식각공정을 통해 삼기 제 2 절화막(25), 폴리 삶리쯘막(24), 제 1 절화막(23), 급숙막(22)을 선택적으로 제거하며 잃정한 간격을 갖는 복수개의 워드 라인을 행성한다. 도 26에 도시한 바와 말이, 상기 워드 라인을 포함한 반도체 기판(21)의 전면에 절면막을 50Å ~ 500Å 두째로 형성하고, 상기 절면막의 전면에 에치뻑(etch back) 공청을 싫시하며 상기 워드 라인의 양촉면에

5-2

2002-0046778

절연막 축박(26)쓸 형성한다.

한편, 상기 앞면막 숙박(26)은 출라즈마(piassa) 집비에서 DF,/CF,/G, 가스를 사용하여 100 ~ 300af, 300 ~ 2006 중장조건으로 전병한다.

DICH. 상기 접면학 축례(25) 및 워드 라인츔 포함한 만도체 기관(21)상에 ILD(Inter Layer Dietectric)학(27)를 형성한다.

이기서 상기 ILD막(27)은 BPSG(Boron Phosphorus Silicate Blass) 또는 HOP(High Density Plasms) 등품 사용하고, 그 두명는 2000소 - ROMO소으로 철생한다.

도 2006 도시한 비와 같이, 상기 ILD막(27)상에 감광막(29)총 도포한 후, 노광 및 현상공정으로 깜광막(28)총 패턴님하여 뿐백 영역을 정찍한다.

이어, 삼기 테티닝된 김광막(23)을 마스트로 이용하여 삼기 위도 라인 사이의 반도체 기관(21)의 표면이 노중되도록 열프 얼라인 중백 해결을 중심하게 ILD막(27)을 설적적으로 제공자에 운약증(전)을 열성한 다.

여기서 상기 설표 형라면 흔적 예정 공정시 중래에는 상기 재 | 필화막(23)과 ILB막(27)과의 충분한 전력 네 작보가 어려워 제 | 영화막(23)의 손성(loss)이 평생하는데 본 방면에서는 제 | 정화막(23)살에 식각 방지속으로 청성된 폴리 설리뿐막(24)에 의해 재 | 평화막(23)의 순성을 방지함으로서 상기 위도 라인의 표면이 노종된다.

한편, 살기 젊프 정라인 은핵 예정 공장은 C.F./C.F./가/F./Ar/C./CF, 가스를 사용하고, 90 ~ 60mT, 1500 ~ 2000전 공정조건에서 09세일 식각 합비를 사용한다.

이후 공정은 도시하지 않았지만, 상기 검광막(23)를 제거하고 상기 본택은(29)을 포함한 반도체 기판(21)의 건단에 옮긴 심리존약을 증확한 후 에치백이나 CMP 공절을 통해 상기 본택증(29)의 대부에 옮긴 심리 본 블러그램 형성한다.

\$ 30 .Q.F

이상에서 설명한 바와 끝이 본 행명에 의한 반도체 소자의 존액을 행성방법은 다음과 참은 효과가 있다. 즉, 성포 정리인 본백 에행 공장시 ILD라과 정확약간에 충분한 선택비를 확보하지 못해 당생하는 결확약 의 순성층 방지하게 취하여 정확약상에 식과 방지약을 충성함으로서 정확약에 손실에 의해 워드 라인이 노동되대 짧리그 형성시 당생하는 워드 라인과의 촛료를 방지하여 소자의 명성 및 수술을 학상할 수 있고, 공정의 연정화를 가져올 수 있다.

(ST) #74 #M

경구함 1. 반도체 기판상에 금속막 및 제 1 집한약을 현생하는 단계:

상기 제 | 집회학산에 식각 반지막 및 제 2 경찰학을 처려로 행성하는 단계:

삼기 제 2 집회학, 식각 방지학, 제 1 질화학, 금속학을 선택적으로 제거하여 위도 라인을 벌겋하는 단 제:

심기 위도 라인의 양측면에 젊면막 축복을 형성하는 단계:

상기 반도체 기판의 전면에 ILD학합 형성하는 단계;

상기 위도 라인 사이의 반도체 기관 표면이 노출되도록 상기 ILD학총 선택적으로 제거하며 문핵증출 항성하는 단계를 포함하며 형성함을 독칭으로 하는 반도체 소지의 문력증 철성방법.

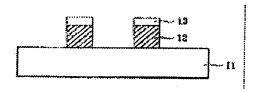
영구함 2. 제 1 항에 있어서, 상기 식각 방지막은 물리 살리콘, SION, AI.G., Te.G. 중에서 먹어도 하나 정 사용하는 것을 적징으로 하는 반도체 소지의 흔액을 엄입한법.

영구함 S. 지 I 항에 있어서, 삼기 작각 방지막은 SDA - 50DA 두順로 청성하는 것을 찍임으로 하는 반도청 소자의 윤택종 청성방법.

원구함 4. 제 1 항에 있어서, 상기 제 1 협화막은 제 2 질화막보다 두껍게 형성하는 것을 특징으로 하는 반도체 소자의 흔력을 형성방법.

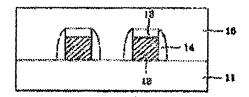
SE LE

15.15 tu

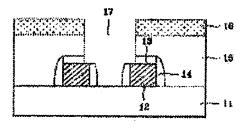


\$2002-0046778

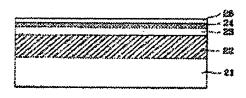
£#W



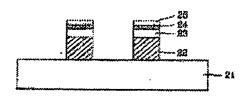
.fx £9.10



Salla

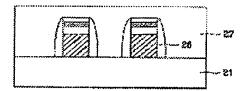


\$11820



\$2002-0046778

STEELED.



SEEM!

